

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

004520572

WPI Acc No: 1986-023916/198604

Related WPI Acc No: 1995-126758; 1995-134899; 1995-134900; 1995-238019;
1997-518952

Mfg. thin film transistor - involves heat-treating semiconductor film by
irradiation with short-wavelength pulse laser beam. NoAbstract DWg 3,4/6

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60245124	A	19851204	JP 84100180	A	19840518	198604 B
JP 95118443	B2	19951218	JP 84100180	A	19840518	199604

Priority Applications (No Type Date): JP 84100180 A 19840518

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 60245124	A	7		
-------------	---	---	--	--

JP 95118443	B2	5	H01L-021/20	Based on patent JP 60245124
-------------	----	---	-------------	-----------------------------

Title Terms: MANUFACTURE; THIN; FILM; TRANSISTOR; HEAT; TREAT;

SEMICONDUCTOR; FILM; IRRADIATE; SHORT; WAVELENGTH; PULSE; LASER;
BEAM; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): C30B-030/00; H01L-021/263;

H01L-027/12; H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報 (A)

昭60-245124

⑬ Int. Cl. ⁴

H 01 L 21/20
21/263
27/12
29/78

識別記号

庁内整理番号

7739-5F
6603-5F
7514-5F
8422-5F

⑭ 公開 昭和60年(1985)12月4日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製法

⑯ 特 願 昭59-100180

⑰ 出 願 昭59(1984)5月18日

⑱ 発 明 者	碓 井 節 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	鯨 島 俊 之	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	狩 野 靖 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 伊 藤 貞	外1名	

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

短波長パルスレーザ光を照射して半導体薄膜を熱処理することを特徴とする半導体装置の製法。

発明の詳細な説明

産業上の利用分野

本発明は、薄膜トランジスタ (TFT) 等の半導体装置の製法に関する。

背景技術とその問題点

例えば透過型液晶ディスプレイにおいては、各像素をオン、オフするためのスイッチング素子として薄膜トランジスタが用いられている。この場合、薄膜トランジスタは、透明ガラス基板上に多数配列して形成される。第1図は従来のガラス基板上に薄膜トランジスタを形成する製法例である。これは先づ第1図Aに示すようにガラス基板(1)上にアルミニウム又は酸化インジウム錫 (以下ITOと略す) 等によるゲート電極(2)を形成して後、SiO₂膜(3)、水素化アモルファスシリコン (以下a

-Si:Hと略す) 膜(4)及びオーミックコンタクト用のn形a-Si:H (n⁺-a-Si:H) 膜(5)を連続してプラズマCVD法で全面に堆積する。次でa-Si:H膜(4)及びn⁺-a-Si:H膜(5)をパターンニングして薄膜トランジスタを作るために必要な部分を島領域化する。次に第1図Bに示すようにソース及びドレイン部上にAl/Mo2層膜構造、モリブデン、チタン又はニクロム等によるソース電極(6)及びドレイン電極(7)を形成する。次に第1図Cに示すようにソース電極(6)及びドレイン電極(7)間に臨むn⁺-a-Si:H膜(5)をプラズマエッチング法等により除去し、ソース及びドレイン間のリーク電流をなくす。然る後、第1図Dに示すようにパッシベーション用及び液晶配向用のSiO₂層膜を全面に形成し、さらにチャンネル部に対応する部分を覆うように遮光層膜を形成して薄膜トランジスタを形成する。

この製法では、フォトリソグラフィーに使用するマスクとして、ゲート電極(2)のパターン形成用、a-Si:H膜(4)の島領域形成用、ソース及びドレ

イン電極(6)及び(7)のパターン形成用、更に遮光層(8)のパターン形成用の4枚のマスクが最低必要となる。又、 $a-Si:H$ (4)の膜厚は約 $0.5\mu m$ 程度ないと $n^+-a-Si:H$ (6)をエッチング除去する場合に充分な厚みを残せないこと、 $n^+-a-Si:H$ (6)のエッチング工程でのむらや $a-Si:H$ (4)の堆積のむらが加わり広い面積に亘って一様な特性の多数の薄膜トランジスタが得にくい等の欠点があった。 $a-Si:H$ (4)が厚いとソース、ドレイン電極(6)、(7)の厚みが $1\mu m$ 程度ないと段切れが生じ易い。

そしてこの様な厚い $a-Si:H$ 膜(4)では $a-Si:H$ の光伝導度が大きいために、光を遮蔽するための遮光層(8)が必要となり製造工程を一層複雑にしている。 $a-Si:H$ 膜(4)は水素化されているため、膜内に欠陥が少く、通常オン/オフ比 10^4 が得られ、閾値電圧 $V_{th} = 5V$ 程度のものが得られる。しかし非晶質であるために有効移動度は $0.1 \sim 0.5 cm^2/V \cdot s$ と小さく、早いスイッチング特性が得られない。

3

例えば半導体薄膜として $a-Si:H$ 膜を用いこれに波長 $308nm$ の $XeCl$ エキシマーレーザー光を照射した場合、この波長に対する吸収係数は $10^4 cm^{-1}$ に達するので、極表面 (100\AA 程度) で吸収され熱に変換される。この熱は直ちに熱伝導によって薄膜内部に伝わる。この様に膜の表面又は内部が瞬間的に高温になるために $a-Si:H$ 膜は水素を出さずに結晶化されその特性は著しく変化する。例えば膜の移動度が著しく増大し、また光伝導度が低減する。またイオン注入された膜はその不純物が活性化される。

この様な短波長の高エネルギーパルスレーザー光を照射するときは、 $a-Si:H$ 膜中の水素は放出されず、結晶化した後も結晶粒界のダングリングボンドをなくす働きを行う。

本発明が用いる短波長パルスレーザー光としては、そのレーザー波長が $100 \sim 400nm$ 、実用範囲は $150 \sim 350nm$ 、パルス幅が $100nsec$ 以下で好ましくは $10 \sim 50nsec$ 就中 $20nsec$ である。またパルスのピーク強度は $10^6 W/cm^2$ 以上 $\sim 10^8 W/cm^2$ 以下とし、

5

発明の目的

本発明は、上述の点に鑑み、製造を容易にし、且つ性能の向上が図れる薄膜トランジスタ等の半導体装置の製法を提供するものである。

発明の概要

本発明は、短波長パルスレーザー光を照射して非晶質又は多結晶の半導体薄膜を熱処理する工程を有した半導体装置の製法である。

この発明の製法では、基体全体を高温にすることなく低温(室温)にて半導体薄膜の結晶化、不純物の活性化等が行え性能の向上が図れる。また製造が容易となる。

実施例

本発明では、結晶化しようとする半導体薄膜に短波長パルスレーザー光を照射したとき、そのレーザー光が半導体薄膜の極表面のみで吸収され、その後熱伝導によって薄膜の内部が溶けて再結晶化し、或はアニールされて結晶粒が大きくなることを利用して例えば薄膜トランジスタ等の半導体装置を製造するものである。

4

フルーエンス(1回のパルスのエネルギー)は $1 J/cm^2$ 以下、好ましくは $50 mJ/cm^2$ 以上 $\sim 500 mJ/cm^2$ 以下、より好ましくは $200 \sim 500 mJ/cm^2$ とする。このような短波長パルスレーザー光を用いれば局所的な加熱が可能となる。

次に、図面を参照して本発明の実施例を説明する。なお、各例は第1図と同様の薄膜トランジスタの製造に適用した場合である。

第2図は本発明の一実施例である。本例においては先づ第2図Aに示すようにガラス基板(1)上にアルミニウム又はITO等によるゲート電極(2)を形成して後、 SiO_2 膜(3)、 $a-Si:H$ 膜(4)及び $n^+-a-Si:H$ 膜(5)を順次プラズマCVD法で全面に堆積する。次で $a-Si:H$ 膜(4)及び $n^+-a-Si:H$ 膜(5)をパターンニングして薄膜トランジスタを作る部分を島領域化する。

次に、第2図Bに示すように、例えばモリブデン、チタン又はニクロム等によるソース電極(6)及びドレイン電極(7)を形成し、両電極(6)及び(7)をマスクにチャンネル部に対峙する部分上の n^+-a

6

-Si:H膜(4)をプラズマエッチング法等によって選択除去する(第2図C)。ここまでの工程は第1図A~Cの工程と同じである。

次に、第2図Dに示すように、全面にSiO₂膜(6)を被着形成した後、表面側から短波長パルスレーザー光即ちUV(紫外線)パルスレーザー光(7)を照射してa-Si:H膜(4)のチャンネル部(4C)を多結晶化又は単結晶化し、目的の薄膜トランジスタを得る。

この製法ではチャンネル部(4C)のa-Si:H膜を水素を出さずに結晶化できることにより、薄膜トランジスタの移動度を大きくすることができる。又、a-Si:H膜の結晶化により光伝導度がなくなり、光が当たってもリーク電流が生じない。従って従来のチャンネル部上を覆う遮光層(9)及びその為のマスク工程が省略できる。UVパルスレーザー光(7)はSiO₂膜(6)を透過し、電極(6)(7)で反射するため温度は上らず、電極(6)(7)を損うことなくチャンネル部を処理できる。因みにアルゴンレーザー、YAGレーザーのように長波長レーザーではa-Si:

H膜全体の温度が上がり、SiO₂膜(6)、電極(6)、(7)等が損傷を受ける。

このように電極(6)(7)をマスクにして(所謂セルフアライメントにより)レーザー照射を行い局部的な結晶化を行うことにより、a-Si:H膜(4)の堆積、電極(6)(7)の形成の後でも非常に高い温度にすることなく室温にての結晶化が可能である。従って薄膜トランジスタの構造及び製造工程を簡単化できる。

第3図はプレーナー型の薄膜トランジスタ製法に適用した他の実施例である。

これは、第3図Aに示すようにガラス基板(1)上にa-Si:H膜(4)及びSiO₂膜(6)を順次被着形成し、パターンニングして島領域化する。次でチャンネル部(4C)に対応するSiO₂膜(6)上に例えばチタン、モリブデン又はニクロム等よりなるゲート電極(8)を形成し、このゲート電極(8)をマスクにしてa-Si:H膜(4)のソース部(4S)及びドレイン部(4D)にリン又はボロン等の必要の不純物をイオン注入する。

7

次に、第3図Bに示すようにソース及びドレイン部(4S)及び(4D)に一部接続する如く例えばモリブデン、チタン、ニクロム又はITO等によるソース電極(6)及びドレイン電極(7)を被着形成し、さらにSiO₂膜(6)を被着形成する。その後、ガラス基板(1)側よりUVパルスレーザー光(7)を照射する。これによってソース及びドレイン部(4S)及び(4D)は活性化し、チャンネル部(4C)は結晶化する。

この場合、ガラス基板(1)に石英ガラス、パイレックスガラスを用いれば例えば波長308nmのレーザー光は透過するのでa-Si:H膜(4)とガラス基板(1)の界面で光は熱に変わり、a-Si:H膜(4)は熱処理される。斯くして目的の薄膜トランジスタを得る。

この実施例ではソース、ドレイン部(4S)、(4D)のa-Si:H膜も水素を出さずに結晶化されるのでオーミックコンタクトを完全にし、かつ不純物の活性化も充分行なわれ、チャンネル部との界面特性を向上させることができる。又、a-

8

Si:H膜(4)を充分薄くでき、例えば膜厚100Å~1000Åの範囲が可能であるため、a-Si:H膜の結晶化に加えて膜厚が薄いことにより、更に光伝導度をなくすことができリーク電流の発生をなくすることができる。更にa-Si:H膜(4)が薄くできるので、ソース、ドレイン電流の段切れが生じない。

第4図はスタガード型の薄膜トランジスタの製法に適用した他の実施例である。

これは、第4図Aに示すようにガラス基板(1)上に例えばモリブデン、チタン、ニクロム又はITOによるソース電極(6)及びドレイン電極(7)を形成した後、a-Si:H膜(4)、SiO₂膜(6)を形成する。さらに例えばアルミニウム又はITOによるゲート電極(8)を形成し、島領域化した表面全体にSiO₂膜(6)を被着形成する。そしてソース及びドレイン部(4S)及び(4D)に対応するa-Si:H膜にリン又はボロン等の必要の不純物をイオン注入する。

次に、第4図Bに示すように表面とガラス基板(1)側の2方向からUVパルスレーザー光(7)を照射し、

9

10

チャンネル部(4C)を結晶化させ、またソース及びドレイン部(4S)及び(4D)を結晶化と共に不純物の活性化を行う。この場合、ソース及びドレイン部(4S)及び(4D)とチャンネル部(4C)のレーザー光の照射条件を変えて、それぞれの適性条件を選ぶ。

この実施例ではチャンネル部(4C)とソース、ドレイン部(4S)、(4D)に対するレーザー光の照射条件を夫々最適条件に選び得るのでより特性の向上が図れる。又、 α -Si:H膜(4)の膜厚も充分薄くできる。

第5図及び第6図はイオン注入工程を省略した更に他の実施例である。第5図は逆スタガード型薄膜トランジスタ、第6図はプレーナ型薄膜トランジスタに適用した場合で、共に不純物ドーパのない α -Si:H膜(4)に対してオーミック特性のよい金属例えばニクロムをソース電極(4)及びドレイン電極(7)に用い、裏面2方向よりUVパルスレーザー光(8)を照射してチャンネル部分(4C)及びソース部(4S)、ドレイン部(4D)の結晶化を行う。

11

の高温で作る場合はソース、ドレイン電極はAlを用いることができないが、蒸着等の低温プロセスを用いればプラズマによるSiO₂、 α -Si:Hの堆積以外はすべて低温(室温)プロセスで高性能の薄膜トランジスタアレイを作ることが可能である。

上述の実施例によれば、基体全体を高温にすることなく、所謂室温でチャンネル部の α -Si:H膜を水素を出さずに結晶化できることにより、薄膜トランジスタの移動度を大きくすることができ、早いスイッチング特性が得られる。

又、 α -Si:H膜を結晶化することにより、又充分薄くできることにより、光伝導度を小さく光が照射されてもリーク電流が流れなくなる。このため遮光層が省略される。又、高エネルギー、短時間の短波長パルスレーザー光を用いることにより、室温で α -Si:H膜の結晶化ができ、従って電極形成、パッシベーション膜の形成後に結晶化工程を行うことが可能となる。従って、薄膜トランジスタの構成及び製造工程が簡単になり、また生産の歩留りも向上するものである。又、薄膜ト

13

この場合、UVパルスレーザー光(8)をソース、ドレイン部(4S)、(4D)に照射するとき電極界面が充分オーミックになるようにUV照射条件(強度、時間)を選ぶ。また場合によっては、例えば n^+ 形に対してリン(P)、ヒ素(As)、アンチモン(Sb)等の5価元素を、 p^+ 形に対してアルミニウム(Al)、ガリウム(Ga)等の3価元素を含むソース、ドレイン電極(4)、(7)を用いるのも良い。ソース、ドレイン電極(4)、(7)としてはニクロムの他にITO、モリブデン又はチタン等を用いることができる。この製法では特に不純物のイオン注入工程が省略されるので、製造工程がより簡単化される。第5図の構成は、第2図の実施例において n^+ - α -Si:H膜(4)を省略したものであり、従って、第2図に比して α -Si:H膜(4)を充分薄くでき、例えば200Å程度とすることができ、その分光伝導度が減り特性がより向上する。

尚、第2図～第8図の実施例を液晶ディスプレイ等に応用する場合には全体をSiO₂等の配向用絶縁層を被覆する必要がある。この層を300℃程度

12

ランジスタアレイの製造に適用した場合には、各トランジスタ共に均一な特性が得られる。

尚、上例では薄膜トランジスタ(TFT)の製造に適用したが、その他の半導体薄膜を用いた半導体装置の製造にも適用できる。

発明の効果

本発明によれば、短波長パルスレーザー光を用いることにより、非晶質又は多結晶の半導体薄膜を局部的に結晶化でき、又不純物の活性化もでき、例えば移動度の大きい薄膜に変えることができる。しかも、この結晶化、活性化は基体全体を高温にすることなく、所謂室温で行えるので、電極形成、パッシベーション膜の形成後に結晶化、活性化工程を行うことができる。従って、例えば薄膜トランジスタに適用した場合、その性能を向上し、かつ製造を容易にするものである。

図面の簡単な説明

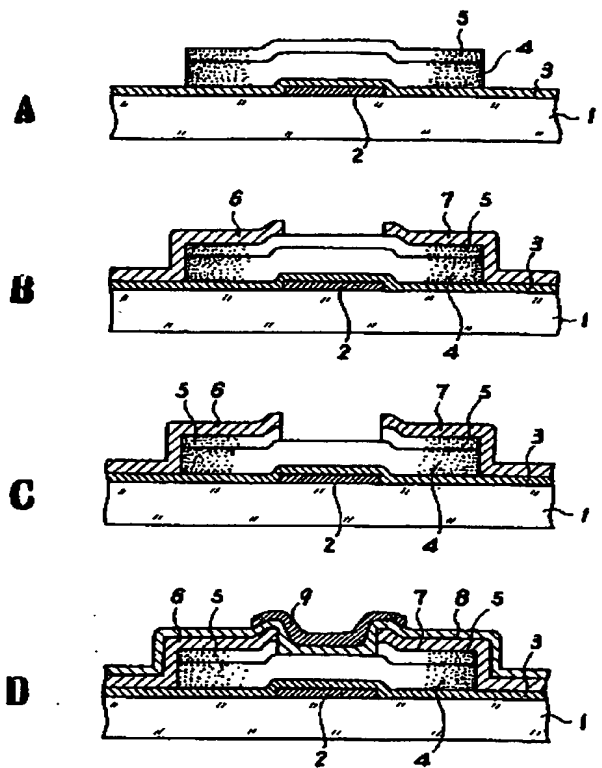
第1図は従来の薄膜トランジスタの製法の一例を示す工程図、第2図は本発明による薄膜トランジスタの製法の一実施例を示す工程図、第3図乃

14

至第6図は夫々本発明による薄膜トランジスタの製法の他の実施例を示す断面図である。

(1)はガラス基板、(2)はゲート電極、(3)は SiO_2 膜、(4)は $n\text{-Si:H}$ 膜、(5)は $n^+ - a - \text{Si:H}$ 膜、(6)はソース電極、(7)はドレイン電極、(8)は短波長パルスレーザー光である。

第1図



代理人 伊藤 貞

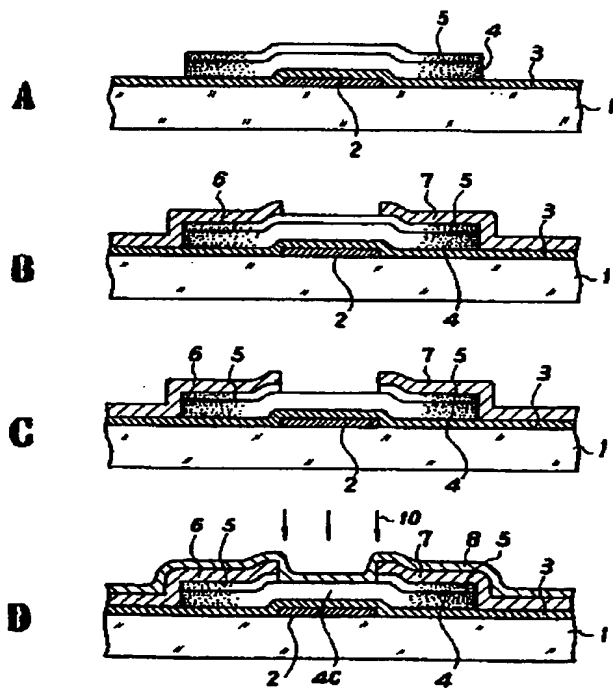


同 松隈秀盛

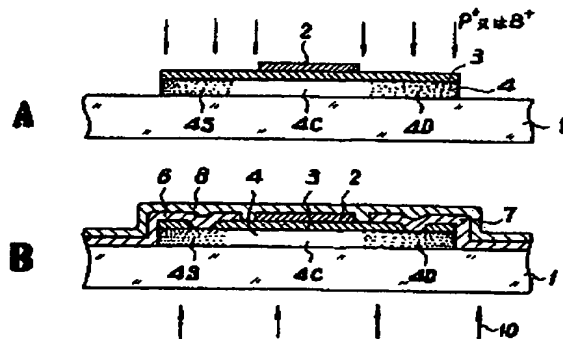


15

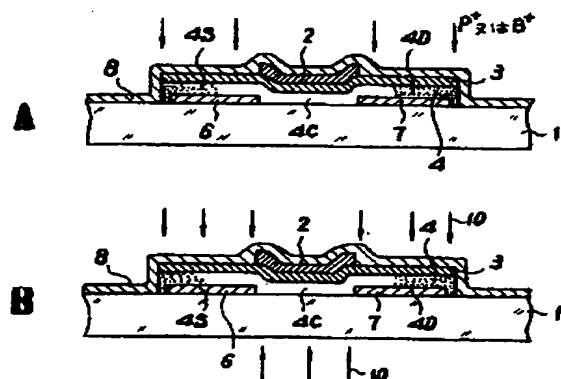
第2図



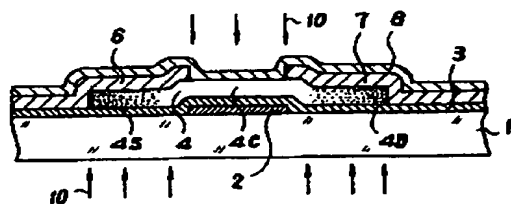
第3図



第4図



第 5 図



第 6 図

